

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

目的

本書は、特に大規模な並列サンプリングシステムにTeledyne-e2v社のギガサンプルブロードバンドADコンバータを使用することによって、マルチチャンネルのサンプリング同期を非常に簡単に実現できることを説明するものです。

簡潔に言えば、本書は弊社独自技術であるSYNCチェーン機能を使用するための簡易ガイドブックです。提供する情報は、デジタルビーム形成を利用したシステム、あるいはMIMOアンテナシステムで使用されるシステムに関するものです。本情報は[製品データシート](#)と併せて参照してください。

該当製品：EV12AQ600

以下のEV12AQ600の信号について説明していきます。

- ピン14A/15AのSYNCTRIGPとSYNCTRIGNの差動ペア
- ピン8A/7AのSYNCOPとSYNCONの差動ペア

言葉の定義

- 決定論的なレイテンシ：システムのライフサイクルを通して、パワーサイクルからパワーサイクルへと一定したデータ・レイテンシとすることができ、それを把握できること。
- シンクロナイゼーション：複数の信号入力チャンネル間で、デジタルサンプリングのタイミングが一致し、信号の位相関係が維持されるようにすること。
- メタスタビリティ：非同期回路においてデジタル信号電位が中間電位になる不安定な状態。

図のリスト

1. 避けるべきメタスタビリティ・ゾーン
2. CMUブロックダイヤグラム
3. SYNCTRIG生成アプローチ
4. SYNCチェーン実行
5. SYNCトレーニング・アルゴリズム
6. プレ・トレーニングとポスト・トレーニングのシンクロナイゼーション結果
 - a. プレ・トレーニング
 - b. 粗調整
 - c. 微調整

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

目次

目的	1
該当製品：EV12AQ600	1
言葉の定義	1
図のリスト	1
まえがき	3
GHz サンプルング・システム同期化の課題	3
メタスタビリティの把握が鍵	4
CMUは決定論的処理のためにSYNCパルスを生成する	5
SYNCTRIG信号ソース	5
SYNCTRIGとSYNCOの同期	5
SYNCチェーン・ディレイの計算	6
実践的な同期処理の実装	6
SYNCトレーニング・アルゴリズム	7
相関法	7
FFT法	7
マルチADコンバータ・システムのSYNCチェーンの動作	8
SYNCチェーンの利点	8
結論	8
FAQ	9
SYNCチェーンは他の同期手法とどのように異なりますか？	9
SYNCトレーニングと他の同期手法で使用される校正の違いは何ですか？	9
SYNCチェーンには再校正が必要ですか？	9
SYNCチェーンを使用するときは何に気を付ければよいですか？	9
SYNCを使用したES1stream、SYSREFを使用したJESD204B、どちらにすべきですか？	9
SYNCチェーントレーニングは自動化できますか？	10
チェーン接続されるADコンバータの数に制限はありますか？	10
SYNCチェーンを利用すると、入力信号のトレース長マッチングは無視できますか？	10
どんなタイミングの制約がSYNCパルスの設定に影響しますか？	10

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

まえがき

複雑な並列デジタル・サンプリングシステムを使用したRF、マイクロ波、ミリ波のビーム走査を行うためには、複数のADコンバータのサンプリング・タイミングを同期させる必要があります。非常に精度の高いタイミング制御が必要になります。データ・コンバージョンを高速で行えば行うだけタイミング・マージンが少なくなるため、これはとりわけ困難なタスクとなります。

複雑なデジタル・サンプリングシステムにおけるサンプル同期を確実に行うためには、デジタルシステム全体のレイテンシによってもたらされる複雑な信号タイミング関係を正確に把握する必要があります。さらに、高速ADコンバータは、同期処理を複雑にする高度なクロック回路（特に周波数ディバイダ）を必要とする複雑なシステムです。

本文書は、複雑なマルチ・チャンネルシステムにおいて同期処理を達成することに関して、設計の懸念を軽減することを目的としています。決定論的な処理は、ときに問題解決を難しくします。例えば、JESD204Bサブクラス1は、これをきちんと機能させるのを難しい内容になっており、設計者にポジティブな印象を与えませんでした。

従って、タイミングを安定的に同期するための簡単な方法は設計者に歓迎されると考えております。Teledyne-e2v社の決定論的な同期処理は、一対の差動信号を使って実現しています。この信号によってターゲット・コンバータのタイミングシステムをリセットすることが可能であり、すべてのデジタル・サブシステムが基準マスタークロックに適切にロックされます。さらに、この同期メカニズムは、他のシステムで使われているADコンバータに拡張することも可能です。

このアプローチの利点は、システムのライフタイムにわたって、多数の並列チャンネル全ての同期化を保証することにあります。設計が完成して生産準備が整ったら、正確なシステム同期を図るためには、一回のトレーニング・サイクルだけが必要となります。トレーニングによって、ローカル・メモリにシステム・タイミングパラメータが記憶されます。温度や電圧などの環境条件の変化がある場合も、タイミング・パラメータは同じものが使用できます。SYNCチェーンは、ライフタイムに渡って保証され、確実な同期化処理を提供します。これは大量生産へ移行する際の主要な利点となります。

本書ではADコンバータのクロック制御ユニットについて御理解頂いてSYNCチェーンの実装について説明しますが、その前にまず、同期化処理に際して、メタスタビリティへの対処が必要であることについて説明します。複数のADコンバータ間のレイテンシーは全て異なります。これを如何に制御して同期化を図れば良いかということを考える上で大きな助けになるものと思います。本文書では、取り扱った主要テーマを要約したFAQを末尾に掲載していますので、そちらも御参照下さい。

GHz サンプリング・システム同期化の課題

デジタル・ビームフォーミング方式を採用する通信システムは、レベルの低い信号を同時に（同期して）サンプリングするアンテナレイが必要で、これは、信号が各アンテナ・ノードに到達したときに空間的（あるいは信号位相）情報を維持するために必要です。この方式には複雑性や電力消費量が増加するというマイナス面もありますが、電気的および機械的な視点からはメリットもあります。

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

- 電気的な面では、マルチチャンネルによる高い信号/ノイズ比（SNR）と干渉の低減、指向性の向上、同時多重ビームによって、通信リンクの効率と通信容量が向上します。
- 機械的な面では、このアプローチによってアンテナのスキャンに関わる機械部品の数が増え、機械的メンテナンスコストが増えます。また、スキャン反応が高速化できます。

今日では多くのアプリケーションでビームフォーミングを使用していますが、バンド幅への要求が大幅に増大しており、それにつれてサンプリングの正確性を向上させる必要があります。同様にシステム設計や基準サンプルクロックへの性能要求も厳しくなっています。

GHz 周波数域では、集積回路（IC）と基板レベルの双方で信号伝搬時間が重要になっています。プリント基板（PCB）のトレースは送信ラインとして作用しますが、信号トレース長がマルチチャンネル環境では位相情報を保持し続ける信号トレース長である必要があることが最も重要です。トレースの1cmは搬送時間で60～75psになります。これと、6GHz サンプルクロックのクロック周期、166psを比較してください。明らかにボード・デザインが影響します。

さらに、今日のICはかなり高速になっており、GHz 領域で使われることもまれなことではありません。基板とICの設計でも、アナログ設計が重要になってきています。しかしそれとは別に、そのような高周波数でのデジタルド・メインでは別の問題が発生します。すなわち、メタスタビリティの問題です。

メタスタビリティの把握が鍵

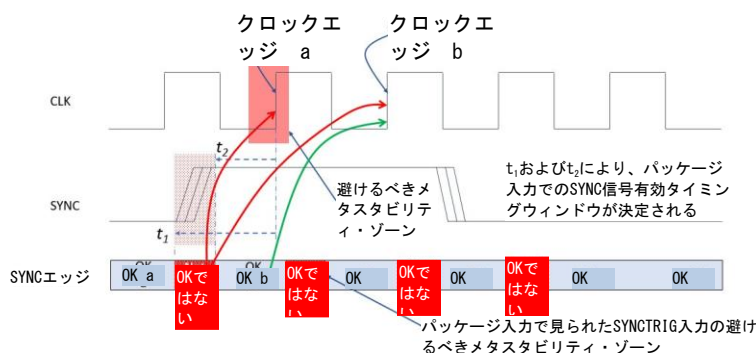
メタスタビリティは、周波数に関係した現象ではありません。しかし、周波数が増えるにつれてクロック周期が短くなる為、メタスタビリティへの対応が難しくなってきます。

メタスタビリティは、ある短時間の間デジタル信号の電位が中間電位になるデジタルシステムの振る舞いを示すものです。これは望ましくなく、同期論理設計は特にメタスタビリティ・ゾーンを回避する手法です。

これは主に、複雑なデジタルシステムで、複数の異なる独立クロックドメインを持つ多数のプロセッシングブロックを有する場合に起こります。メタスタビリティは、内部フリップフロップのセットアップタイムとホールドタイムがシステム全体で満足されるようにすることで軽減されます。

図示化すると、これは以下の図のように示されます。

図1 - 避けるべきメタスタビリティ・ゾーン



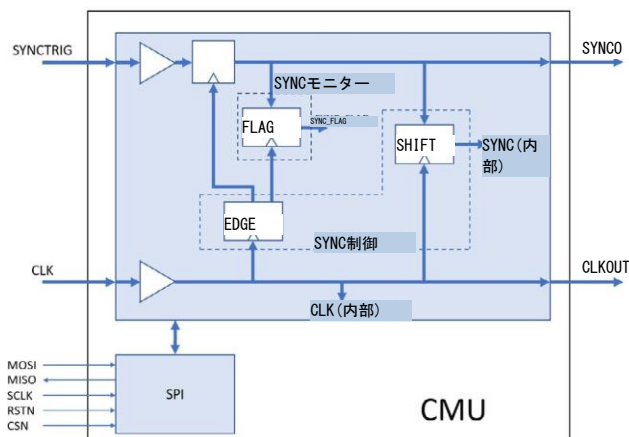
マスタークロックはCLK、t₁とt₂はそれぞれのデジタルブロックのセットアップタイムとホールドタイムです。一番下の図は、各立ち上がりクロックエッジの避けるべきメタスタビリティ・ゾーン（t₁とt₂の間）を示します。t₁とt₂により、パッケージ入力でのSYNC信号有効タイミングウィンドウが決定されます。一番下の図（SYNCエッジ）は、ADコンバータのSYNCTRIG入力ピンでの避けるべきゾーンを示しています。同期設計を行えば、SYNC信号をアクティブな状態にする際にこのゾーンを避けることができます。2箇所のSYNC信号の遷移が、クロック信号と共に示されます。回避すべき箇所（図1でaと示されている）は、避けるべきゾーン内でクロックの立ち上がりエッジのところにあります。

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

CMUは決定論的処理のためにSYNCパルスを生成する

オンチップ・クロック制御ユニット (CMU) は、SPI インターフェース、様々な制御信号とともに、SYNCTRIG 信号と SYNCO 信号のを生成します。このブロックの動作は、SPI インターフェースを通してアクセスされるデジタル制御システムと密接に結びついています。

図 2 - クロック制御ユニット (CMU)



最初の SYNCTRIG 出力 (SYNCO) は、以下のタイミング条件が満たされるように生成されます。

- SYNCTRIGパルスのエッジは常に、図1に示したエリアの外側に位置します。デバイスのセットアップタイムとホールドタイミングに注意してください。
- SYNCTRIGパルスの立ち上がり、立下りは、一定のスルーレート仕様を満たします。

CMUはSYNCTRIGパルスエッジの位置をモニタします。またエッジ監視の一環で、個々のコンバータやその他の部品に対して決定論的制御を行うために、SPIインターフェースを通して様々な制御を行うことができます。同期処理の為に、以下3種類のSYNCレジスタが用意されています。

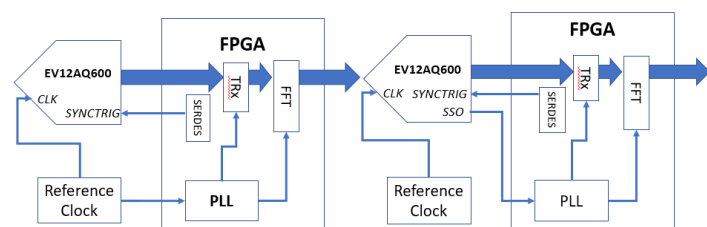
- SYNC_FLAG (アドレス = 0x000D) - タイミング違反の検知フラグです。このフラグは、SYNCの立ち上がりエッジが避けるべきゾーンに入る場合にアサートされます。

- SYNC_FLAG_RST (アドレス = 0x000E) - SYNC_FLAGを検知した際に、このレジスターをリードすることによって新たなSYNCパルスを再送する前にSYNC_FLAGをリセットします。
- SYNC_CTRL (アドレス = 0x000C) - この3ビットのレジスターは、以下のように2種類の制御オプションを提供します。
 - Bit[0]、sync_edge。システムマスタークロックのどちらのエッジでSYNCTRIGがサンプリングされるかを制御します。
 - > Bit[0] = 0の場合は、ポジティブエッジが選択されます。
 - > Bit[0] = 1の場合は、ネガティブエッジが選択されます。
 - Bits [2:1]、sync_shift。ADコンバータの内部リセットプロセスをクロック単位で遅らせます。
 - > Bits [2:1] = 00 - 追加クロックなし
 - > Bits [2:1] = 01 - 1クロック追加
 - > Bits [2:1] = 10 - 2クロック追加
 - > Bits [2:1] = 11 - 3クロック追加

SYNCTRIG信号ソース

それぞれのアナログコンバータで授受される同期信号は、FPGAのようなデジタル信号プロセッシングブロックから容易に生成することができるLVDSのシリアル差動信号です。2種類の信号生成の方法を図3に示します。最初の方法 (左側) では、FPGAブロックとADCブロックの両方をドライブするために高精度なマスタークロックを使用します。右側の方法では、アナログコンバータの同期出力 (SSO) をFPGAに入力します。SSOはデータ・シリアライゼーション・クロックであり、通常はリファレンスクロックの1/32倍のクロックになります。

図 3 - SYNCTRIG生成の2種類のアプローチ



2019年3月

シンクロナイゼーションチェーン：GHz データコンバータによるマルチチャンネルの簡素化

SYNCTRIGとSYNCOの同期

いったん決定論的な処理がそれぞれのコンバータ内に構築されたら、SYNCTRIG信号がマスタークロックとは非同期で最初のADコンバータに到着しても、SYNCOは確実にマスタークロックに同期します。これが正にSYNCチェーンアプローチの特徴です。なぜなら、SYNCOはシステムのマスター・リファレンス・クロックによってリサンプリングされ、チェーン中の次のADコンバータの完全なSYNCTRIGソースになるからです。

SYNCチェーン・ディレイの計算

SYNCチェーンの信号遅延は、SYNC信号が（サンプルクロック T_{CLK} の倍数で）個々のADコンバータの間を伝搬するので、マスタークロック位相遅れで決定します。クロック単位の伝搬遅延を完全に把握するためには、 T_{CLK} 周期の遅延数 N を測定する必要があります。しかしEV12AQ600のインターリーブ処理では、サンプルクロックは選択されたクロックモードに応じて、1か2か4で分周されます（詳細はEV12AQ600データシートのインターリーブを参照してください）。従って、SYNCチェーン遅延は以下のように表現されます。

$$\text{SYNCチェーンの遅延} = n \cdot T_s + \text{SYNCO_shift}$$

$$T_s = 4 \cdot T_{CLK} \quad \text{SYNCO_shift} = k \cdot T_{CLK}$$

$$\text{SYNCチェーンの遅延} = (4 \cdot n + k) \cdot T_{CLK} \quad \text{ここで } k \in \{0, 1, 2, 3\}$$

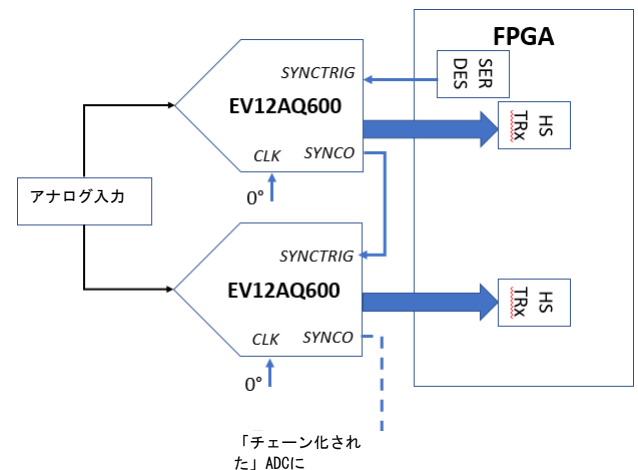
SYNCチェーンの遅延は、ここではマスタークロック周期の整数倍で最大3クロック、の遅延となり、これは前述したSYNCO_CTL（アドレス = 0x00C）レジスターによって制御されます。

実践的な同期処理の実装

大規模なマルチADコンバータ・システムで同期化を図るために、SYNCチェーンは図4に示すようにディジーチェーンでシステム中の全てのADコンバータに繋がります。

非同期の場合では、最初のコンバータに正確に受信されるようになるまでSYNCTRIGが再送されなければなりません。正確な受信できたかどうかは、SYNCO_FLAGで監視することができます。メタスタ

図 4 - SYNCチェーンの実装



ADコンバータのSYNC機能を使用して同期処理を行うためには、まず以下の2つの点に注意する必要があります。

- SYNCTRIG入力メタスタビリティを避けてSYNCSYNC信号を取り込めるように全てのADコンバータをチェーン接続すること
- すべてのADコンバータのクロックが同期すること

これは、ここに詳述したシンプルなトレーニングシーケンスを使用することで達成されます。以下2種類の状況がSYNCTRIGアサーションの際に起こり得ます。

- 最初のSYNCTRIGパルスがサンプルクロックとは非同期で入力されます。これは比較的起こりにくい状況です。
- 最初のSYNCTRIGパルスがサンプルクロックと同期して入力されます。

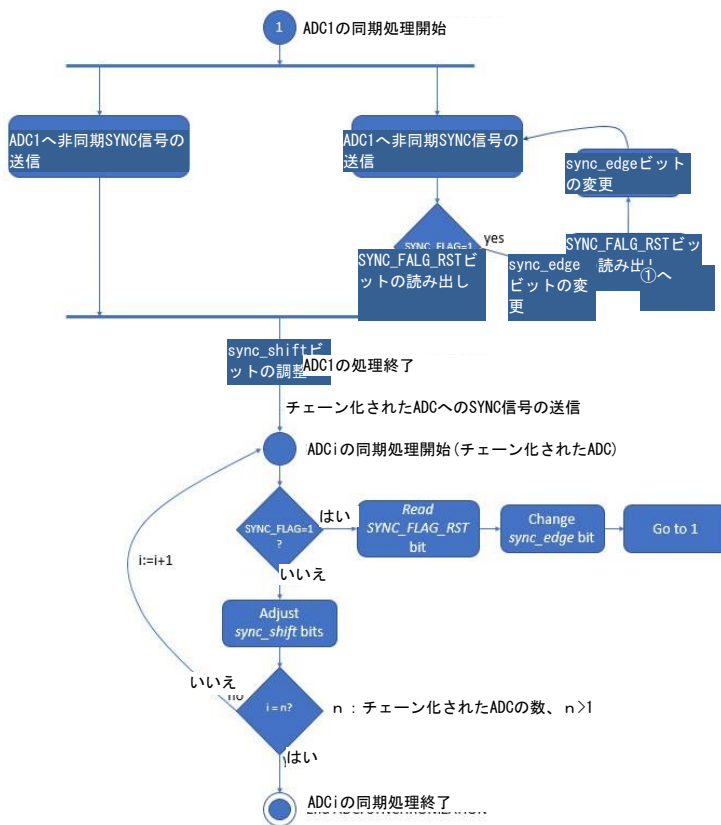
ビリティの状態にあたる確率は低くなります。最新のプロセス技術では、セットアップタイムとホールドタイムが通常、数ピコ秒程度であることを考慮してください。6.4GHzリファレンスクロック（周期156ps）の場合、メタスタビリティにあたる確率は数パーセント程度になります。つまり、同期処理が保証されるまで、SYNCTRIGを数回送信する必要があるだけです。

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

SYNCトレーニング・アルゴリズム

マルチADコンバータのSYNCトレーニング・アルゴリズムを図5に示します。

図5 - SYNCトレーニング・アルゴリズム (1デバイス)



システム全体のトレーニングは、これまで説明したものより少し複雑です。それは主に、それぞれのADCチャンネル間に異なったレイテンシが存在する可能性が高いからです。高度に並列化されたシステムでは、バックプレーンを通して、デバイスの実装されているそれぞれの基板の間で同期処理を行う必要があります。従って、その場合はシステムを通してのそれぞれの遅延をマッピングすることが必要不可欠になります。システム全体の同期処理は、デジタルドメイン内でデジタル信号処理システムによって実行されますものと考えられます。一般的にはシリアルデータ・システムと同様に、この目的のためにフレキシブル・エラスティック・データバッファがこの為に用いられます。

システムトレーニングでは、チャンネル間のレイテンシを測定することが求められます。Teledyne-e2v社は、これを達成できる手段として3つの手法があると考えています。それぞれ個別の長所と短所があり、以下のように要約されます。

手法	前提	長所	短所
マニュアル	(矩形波のような) シャープエッジを持つ入力信号	- 検証可能 - 同時に他のパラメータを調整可能	- 期待する周波数の波形生成ができないといけない - 実際に波形の確認のできる環境が必要
自動/相互相関	AFSアナログ入力信号	- 自動化可能 - FFTが必要ない	- データのインターリーピングができる必要がある
FFTアプローチ	FFTの実行	- 自動化可能 - ADコンバータのひとつのコアだけで試験が可能	- FFT計算が必要 (単精度)

3つのアプローチのうち、2つ目と3つ目のアプローチが自動化に適しており、今日の生産環境で使用できます。それらを更に詳細に検討してみる価値があります。

関連法

ADコンバータをインターリーブモードにし、フルスケールの正弦波を各ADCコアに入力します。このことによって、最大サンプリング・レート (6.4GSPS、またはそれ以下の必要なサンプリング・レート) でのインターリーブされたデータを所得できます。これにより、可能な限りマスタークロック (TCLK) に近いレートでのデータ取得をすることができます。次に、隣接したADコンバータ (ADC1とADC2) から取得したデータの自動で相互相関を取ります。自動相互相関では、結果の最大値を比較します。最大値の時間的な差が、SYNCチェーンの遅延を修正するために必要な位相シフトになります。

FFT法

正弦波試験信号をシステムに入力し、各ADコンバータのコアのひとつから、データを取得します。入力信号の周波数のFFT位相項を計算します。

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

各ADコンバータの位相項を比較します。この位相情報は、SYNCシフト値に直接関係します。TCLKシフトの数は、以下の式で計算できます。

$$n = \frac{[FFT_{\phi_{ADC1}} - FFT_{\phi_{ADC2}}] \cdot \frac{1}{F_{in}}}{360 \cdot T_{CLK}}$$

マルチADコンバータ・システムのSYNCチェーンの動作

図6a -シンクロナイゼーション（プレ・トレーニング）



図6b - リファレンスクロック率 T_{CLK} でのSYNCトレーニング（粗調整）

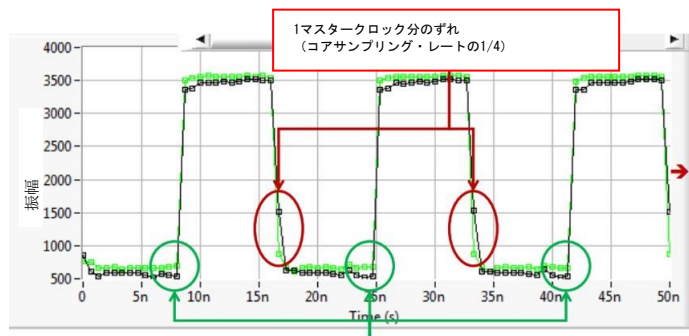
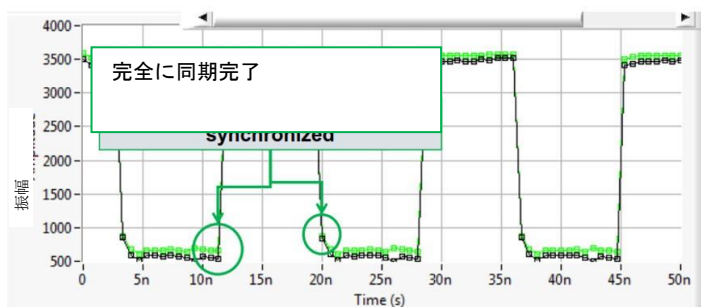


図6c - サブリファレンスクロック率 $T_{CLK}/4$ でのsync_shifを用いたSYNCトレーニング（微調整）



SYNCチェーンの利点

SYNCチェーン機能はマスター・システムクロックに直接的な影響を持たず、追加のジッターを加えず、最適なダイナミックレンジを確保します。さらに、Teledyne-e2v社は、SYNCチェーンがマルチチャンネル・システムを同期するのにロバストなアプローチであることを示しました。いったんシステム時間の遅延がトレーニング・プロセスで決定されるとメモリに記録され、システムのライフタイムにわたって一定であり続けます。決定論的レイテンシは、プロセス変化、電圧、温度などの環境条件の変化があっても、ロバストであり続けます。これは、複雑なマルチチャンネル・システムの生産を簡素化することや、設定コストを低減するための重要なステップです。

結論

本書で説明した、Teledyne-e2v社のEV12AQ600のSYNCチェーン機能は、デジタルビーム・フォーミング技術やMIMO機器を用いる位相配列システムにおいて、困難で高性能なマルチチャンネル・サンプリングシステムの複雑性を低減するのに役立ちます。

個々のADコンバータは専用の回路を持つことで、メタスタビリティを検知および回避し、SYNCチェーンを通じて再サンプルされたSYNC信号を供給します。このイベントドリブンのプロセスは、デバイス自身のSPIインターフェースを通して遠隔制御できるため、システム設定を簡素化するのに役立ちます。製品の生産前の最終試験の間に実行される単純で一度限りのトレーニングシーケンスで、システムの時間遅れ特性を確実に把握でき、これだけでシステム全体の同期化を図る為に必要な作業を完了できます。総体的に見て、SYNCチェーンには非常に多くの利点がありますが、そのなかでも、電源パワーアップの直後から強固なシステム同期が取れることは顧客にとってもっとも大きなメリットとなります。SYNCチェーンのアプローチはクロック性能への影響を一切与えないため、ジッターや位相ノイズが悪化することはありません。

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

最後に、SYNCチェーンは変化する動作環境に対しても非常にロバストであることが証明されているため、非常に高い信頼性が求められるアプリケーションにおいて最善の選択肢であることを意味しています。この技術はEV12AQ605の特徴であり、将来のTeledyne-e2v社のその他デバイスの特徴にもなるでしょう。

FAQ

SYNCチェーンは他の同期手法とどのように異なりますか？

JEDECシリアル・リンク技術で設計されたコンバータは、JESD204Bサブクラス1がリリースされた時、最初に決定論的レイテンシを保証することができた製品です。これは一見すると、SYNCチェーンを採用したTeledyne-e2v社のオープンソースESIstreamシステムがもたらすものと同様のアプローチに見えます。JESD204Bサブクラス1では、SYSREFクロックを用いて同期手法が提案されています。SYNCチェーンに比べてこのアプローチに欠けているものは、リサンプリングされたSYNC出力（SYNC0）の提供です。この決定的な差は、SYNCチェーンの単純性の鍵となっています。SYNC0はリファレンスサンプルクロックによってリサンプリングされるため、チェーンに沿って次のADCのためにSYNC0入力信号を形成することができます。SYSREFでは、タイミングツリーによる信号分配アプローチを採用しているので非常に厳しい基板レイアウトが求められ、更には出力ファンアウト要求に対処する為に追加のコンポーネントが必要になります。さらに、PCBの配線に際して、入力信号とリファレンスクロックと同様に取り扱う必要があります。

SYNCを利用したESIstream、SYSREFを利用したJESD204B、どちらにすべきですか？

どちらのアプリケーションもニーズに応じたそれぞれの利点を持っています。但し、JESD204Bはその複雑性と電力要求に加えて、非常に高度な設計技術を必要としており、またオープンソースESIstreamのアプローチに対してJESD204Bはユーザー様を経済的に圧迫する可能性があります。ちなみに、JESD204B製品のサプライヤーを含む多くのユーザー様は、次のことを御認識されています。

「JESD204Bは、処理上の繊細さが多く、複雑なインターフェース標準になる可能性があります。そういった中、的確に動作しない場合はその原因を探るためには、何が

起きているかを十分に理解するスキルが必要です。」

SYNCトレーニングと他の同期手法で使用される校正の違いは何ですか？

トレーニングシーケンスは、EV12AQ600のSYNCチェーン機能を使ってシステム設計を完了する際に実行される一度限りのイベントです。いったんトレーニングシーケンスからタイミング特性が得られれば、ケーブル長などの物理的変化がないと仮定すれば、タイミング特性はシステムのライフタイムにわたって一定であり続けます。これは、電圧や温度等の環境の変化が起きても問題ありません。JESD204Bサブクラス1および他の手法による同期処理の校正では、システムが電源起動されるたびに、始動シーケンスを開始しなければなりません。これはシステムの利便性に影響を与えることがあります。

SYNCチェーンには再校正が必要ですか？

システム設計に変更が無い限り、答えはいいえです。いったんシステムが完成し、生産準備が整ったら、正確なサンプリング同期処理を構築するのに必要なのは、たった一回のトレーニング・シーケンスのみとなります。トレーニングフェーズではシステム特有のタイミング変数を把握し、その変数はローカルメモリに保存され、システムパワーアップ時にロードされます。温度や電圧などの環境条件に変化がある場合も問題なく機能します。SYNCトレーニング・ステップは、ライフタイムに一度だけのステップです。これにより、SYNCチェーンは大量生産に向けて多大な利益を得られます。

SYNCチェーンを使用するときは何に気を付ければよいですか？

SYNCチェーンは、大規模並列処理システムにわたって、同期サンプル処理を構築するための経済的手段です。しかし、トレース長を適合させるために、RFやマイクロ波、ミリ波入力信号、リファレンスサンプルクロックなどの配線をする際には十分な注意が必要です。比較すると、SYNC信号は比較的ゆっくりとしたシングルショット信号であるため、その配線は容易です。

シンクロナイゼーションチェーン：GHz データコンバータにおけるマルチチャンネルの簡素化

*SYNC*チェーントレーニングは自動化できますか？

はい、できます。本書では、2つの方法を簡単に記述しています。もっとも単純なのは自動/相互相関法で、すべてのデバイスが4チャンネル・インターリーブモードで動作させることが必要です。他の方法はより複雑なアプローチで、個別のコンバータ・コア上のシングルチャンネル間の出力周波数データで実行される高速フーリエ変換（FFT）から位相情報を導き出します。

チェーン接続されるADコンバータの数に制限はありますか？

実質的な制限はありません。というのも、SYNC信号は各デバイス内で効率よくリサンプリングされるので、SYNC信号の伝搬レイテンシは除去されるからです。しかし、チェーンに多くのコンバータを接続するとトレーニングシーケンスは遅くなっていきます。ADコンバータは、初期化時間を最適化するために、デジチェーン、ポイント・ツー・ポイントのアプローチ、ツリーアーキテクチャのいずれかで選択可能であることに留意してください。

*SYNC*チェーンを利用すると、入力信号のトレース長マッチングは無視できますか？

いいえ。トレース長はプリント基板にわたって信号の伝搬を遅らせます。また、ビームフォーミングはこれらの信号（位相情報）間の重大なタイミング差に依存するため、基板レイアウトにあたり、アナログサンプリング信号とそのサンプルクロックの間の相対タイミングには注意を払う必要があります。システムインテグレータにとって、SYNCチェーンの利点は、入力信号のルーティングには細心の注意を払う必要があるのに対して、SYNCチェーンは比較的速度の遅い信号であるため、基板やバックプレーンにわたって簡単にルーティングできることです。

どんなタイミングの制約がSYNCパルスの設定に影響しますか？

SYNC_FLAGとsync_edgeの制御により、どの設計においてもメタスタビリティ・ゾーンを避けることができます。それを達成するために、Teledyne-e2v社の各コンバータには固有のクロック回路が装備され、SYNC信号がメタスタビリティ・ゾーンと一致する時間を監視および特定しています。それを特定するにあたり、SYNC_CTRLレジスタを制御することによって、SYNC信号を進めてメタスタビリティ・ゾーンから抜け出すことができます。